

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-207177

(43)Date of publication of application : 02.12.1983

(51)Int.Cl.

G06F 15/31
G06F 7/38

(21)Application number : 57-090810

(71)Applicant : NEC CORP

(22)Date of filing : 28.05.1982

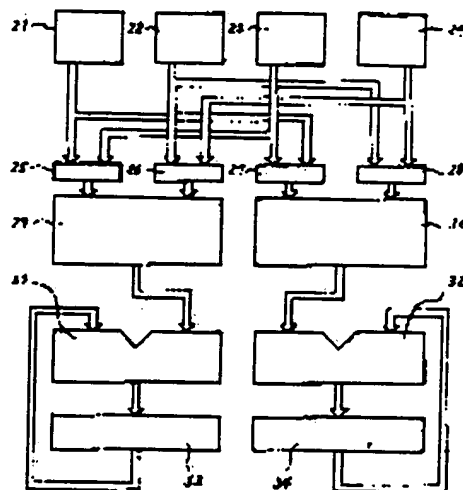
(72)Inventor : KAWAKAMI YUICHI

(54) ARITHMETIC DEVICE

(57)Abstract:

PURPOSE: To accelerate the arithmetic speed, by providing plural arithmetic circuits to give operations to the prescribed two of the data read out of plural storage means.

CONSTITUTION: The real number parts of multiplicand and multiplier are stored in memories 21 and 22 respectively; and the imaginary number parts of multiplicand and multiplier are stored in memories 23 and 24 respectively. Operators 31 and 32 can perform at least additions and subtractions, and registers 33 and 34 hold the output of the operator 31 respectively. A selector 25 selects the output of the memory 21 or 22 and delivers it to a multiplier 29. A selector 26 selects the output of the memory 22 or 24 and delivers it to the multiplier 29. A selector 27 selects the output of the memory 21 or 23 and delivers it to a multiplier 30. Then a selector 28 selects the output of the memory 22 or 24 and delivers it to the multiplier 30 respectively.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—207177

⑤ Int. Cl.³
G 06 F 15/31
7/38

識別記号

庁内整理番号
7056—5B
7056—5B

⑬ 公開 昭和58年(1983)12月2日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 演算装置

東京都港区芝五丁目33番1号日

本電気株式会社内

⑯ 特 願 昭57—90610

⑰ 出 願 人 日本電気株式会社

⑱ 出 願 昭57(1982)5月28日

東京都港区芝5丁目33番1号

⑲ 発 明 者 川上雄一

⑳ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

演算装置

2. 特許請求の範囲

複数の記憶手段を有し、かつ、前記複数の記憶手段から読み出されたデータのうち、所定の2つのデータを乗算する乗算器と、レジスタと、前記乗算器の出力と前記レジスタの出力を入力とし、前記レジスタに出力する加減算器とを有する演算回路を複数有することとを特徴とする演算装置。

3. 発明の詳細な説明

本発明は、集積化可能なデジタル信号処理用半導体装置に関する。

半導体製造技術の進歩に伴い、高集積度でかつ高速度のLSIが可能となるにつれ、高速演算を要求するリアルタイムデジタル信号処理が可能となってきた。本発明の目的は、このようなデ

ジタル信号処理を高速で効率よく行うハードウェアを提供することである。

デジタル信号処理とは、アナログ信号をデジタル信号に変換し(A/D変換)、デジタル信号として取り扱い、必要とされるフィルタ操作、直交変換等をデジタル演算で実行する技術である。

一般にこれらデジタル信号処理において行なわれる演算は、(1)式に示すように、配列同士の積和であることが多い。

$$Y_k = \sum_{l=0}^{N-1} a_l \cdot X_{l+k} \quad \dots\dots\dots(1)$$

$$\left(\begin{array}{l} \text{但し } l=0, 1, 2, \dots\dots \\ k=0, 1, 2, \dots\dots \end{array} \right)$$

一方、(1)式で演算される配列 $\{a_l\}$ 、 $\{X_l\}$ 及びその演算結果の配列である $\{Y_k\}$ のそれぞれの要素は一般に複素数データである場合が多い。この場合(1)式は(2)式のように展開される。

$$Y_k = \sum_{s=0}^{N-1} \text{Re}(a_s) \cdot \text{Re}(X_{s+k}) - \text{Im}(a_s) \cdot \text{Im}(X_{s+k}) \\ + i \{ \text{Re}(a_s) \cdot \text{Im}(X_{s+k}) + \text{Im}(a_s) \cdot \text{Re}(X_{s+k}) \} \\ \dots\dots\dots(2)$$

(但し、 $\text{Re}(a_s)$ は a_s の実部を示し、 $\text{Im}(a_s)$ は a_s の虚部を示す。

(2)式から明らかなように、複素数データを扱う信号処理は、単なる実数のみを扱う信号処理に比べ、4倍以上の演算が必要である。

従来デジタル信号処理用として用いられているプロセッサの演算部を第1図に示す。この演算部を用いて、複素数 a_s と X_s の積を求めようとすると、以下のステップが必要である。

- (1) メモリ1及びメモリ2より $\text{Re}(a_s)$ 及び $\text{Re}(X_s)$ をそれぞれ読み出し乗算器にセットすると共に、レジスタ1、レジスタ2をクリアする。
- (2) メモリ#1、11及びメモリ#2、12より $\text{Im}(a_s)$ 及び $\text{Im}(X_s)$ をそれぞれ読み出し乗算器13にセットすると共に、乗算器13の出力とレジスタ(#1)15の内容を加減算器14

により加算する。

- (3) メモリ(#1)11及びメモリ(#2)12より $\text{Re}(a_s)$; $\text{Im}(X_s)$ をそれぞれ読み出し、乗算器13にセットするとともに、レジスタ(#1)15の内容から乗算器13の出力を加減算器14により演算する。
- (4) メモリ(#1)11、メモリ(#2)12より $\text{Im}(a_s)$; $\text{Re}(X_s)$ をそれぞれ読み出すとともに、レジスタ(#2)16の内容と乗算出力を加減算器14で加算する。
- (5) レジスタ(#2)16の内容と、乗算出力とを加減算器14で加算する。

(2)式のような複素数の積の和を求める場合、ステップ(1)～(5)をくり返せば良い。この場合、ステップ(1)と(5)は同一操作で可能となる。

即ち、等価的に複素乗算を1回行うために、約4ステップ必要である。

本発明の目的は、このステップ数を減じ、高速乗算を行なうことが出来るハードウェアを提供することにある。

本発明によれば複数の記憶手段を有し、かつ、前記複数の記憶手段から読み出されたデータのうち、所定の2つのデータを乗算する乗算器とレジスタと前記乗算器の出力と前記レジスタの出力を入力とし、前記レジスタに出力する加減算器とからなる演算回路を複数個有する演算装置が得られる。

以下本発明の一実施例を図面を参照しながら説明する。

第2図は本発明の一実施例である。4つのメモリ21～24が用いられ、通常メモリ21には被乗数の実数部が、メモリ22には乗数の実数部が、メモリ23には被乗数の虚数部が、メモリ24には、乗数の虚数部がそれぞれ格納されている。演算器31及び32は少なくとも加減算を行うことができる演算器でレジスタ33、34は前記演算器の出力をそれぞれ保持する。セレクト25は、メモリ21の出力又はメモリ22の出力のどちらかを選択し乗算器29に出力する。以下同様に、セレクト26は、メモリ22及びメモリ24の出力を選択し乗

算器29に出力する。セレクト27はメモリ21及びメモリ23の出力を選択し乗算器30に出力する。セレクト28はメモリ22及びメモリ24の出力を選択し乗算器30に出力する。乗算器29、30の出力は、先行する命令によって入力された乗数、被乗数の積を出力する。又は、メモリ21には被乗数の実部 $\text{Re}(a_s)$ が、メモリ22には乗数の実部 $\text{Re}(X_s)$ が、メモリ23には被乗数の虚部 $\text{Im}(a_s)$ が、メモリ24には乗数の虚部 $\text{Im}(X_s)$ がそれぞれ格納されているものとする。演算器31、32はそれぞれレジスタ33、34に対する加減算を行なう。

次に動作を簡単に説明する。複素数である被乗数 a_s と複素数である乗数 X_s の積を求める場合、本発明によると、以下のような手順になる。

ステップ1. メモリ21より $\text{Re}(a_s)$ を、メモリ22より $\text{Re}(X_s)$ を、メモリ23より $\text{Im}(a_s)$ を、メモリ24より $\text{Im}(X_s)$ をそれぞれ読み出し、セレクト25において、メモリ21を、セ

レクタ26においてメモリ22をセ
レクタ27において、メモリ21を
セクタ28において、メモリ24
をそれぞれ選択、乗算器29、30
に入力し、レジスタ13、14をク
リアする。

ステップ2. メモリ21より $\text{Re}(a_s)$ を、メモリ
22より $\text{Re}(X_s)$ を、メモリ23よ
り $\text{Im}(a_s)$ を、メモリ24より Im
(X_s)をそれぞれ読み出し、セクタ
25においてメモリ23をセクタ
26において、メモリ24を、セ
クタ27においてメモリ23を、
セクタ28においてメモリ22を
それぞれ選択し、乗算器29、30
に入力するとともに、演算器31に
おいて、レジスタ33の内容と乗算
器29の出力とを加算しレジスタ33
に格納し、演算器32においてレジ
スタ34の内容と乗算器30の出力

とを加算しレジスタ34に格納する。

ステップ3. 演算器31において、レジスタ33
の内容から乗算器29の出力を減算
しレジスタ33に格納するとともに、
演算器32において、レジスタ34
の内容と乗算器30の出力とを加算
する。

この結果レジスタ33には

$$\text{Re}(a_s) \cdot \text{Re}(X_s) - \text{Im}(a_s) \cdot \text{Im}(X_s)$$

レジスタ34には

$$\text{Re}(a_s) \cdot \text{Im}(X_s) + \text{Im}(a_s) \cdot \text{Re}(X_s)$$

がそれぞれ得ることができる。

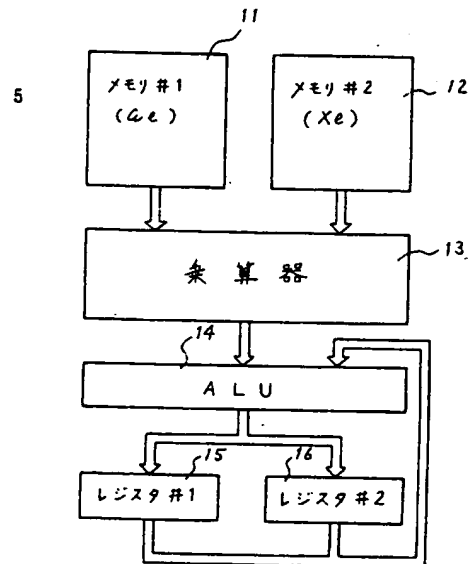
(2)式のような複数の複素数の積の和を求める場合
においては、前記ステップ(1)～(3)をくり返せば良
いが、この場合ステップ(1)と、ステップ(3)は、同
一ステップで可能である。従って、本発明を用い
ると、複素乗算が2ステップで可能となる。これ
は、従来例に比べ約半分のステップ数で複素乗算
が出来ることを示す。

4. 図面の簡単な説明

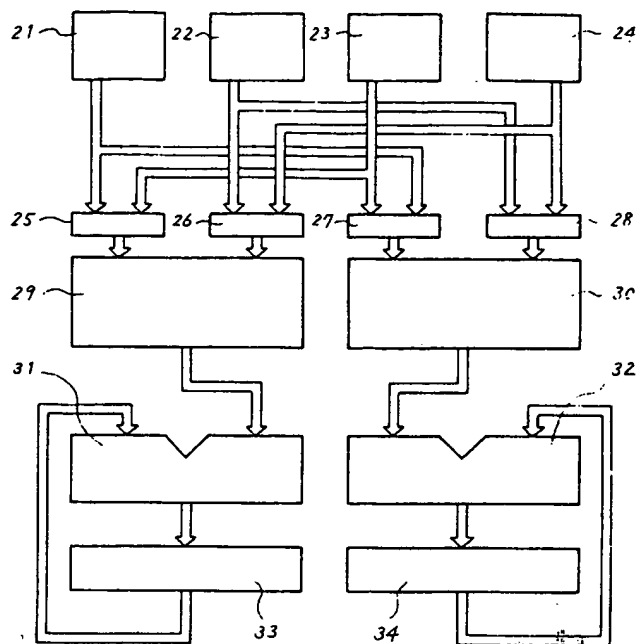
第1図は従来の演算装置を示す図、第2図は本
発明の実施例を示すブロック図である。

21～24……メモリ、25～28……データ
セクタ、29、30……乗算器、31、32……
演算器、33、34……レジスタをそれぞれ示
す。

代理人 弁理士 内 原 晋



第1図



第 2 図